

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



2002-08/8

## 公告本

申請日期	90.8.22
案 號	90120606
類 別	G11C 11/16

(以上各欄由本局填註)

518597

## 發明專利說明書

一、發明名稱	中 文	磁性隨機存取記憶體配置
	英 文	MRAM-arrangement
二、發明人 創作人	姓 名	1. 迪特馬勾格(GOGL, Dietmar) 2. 堤爾屈羅什(SCHLOESSER, Till)
	國 籍	1-2 皆屬德國
	住、居所	1. 美國紐約州賽須奇 12524 綠山道 4 號 16D 號公寓 2. 德國德瑞斯登 01109 史坦達勒街 10 號
三、申請人	姓 名 (名稱)	印芬龍科技股份有限公司 Infineon Technologies AG
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-81669 聖馬丁街 53 號
	代 表 人 姓 名	1. 麥可勾威什(Michael Gollwitzer) 2. 荷斯特卻佛(Dr. Horst Schäfer)

四、中文發明摘要 (發明之名稱: 磁性隨機存取記憶體配置 )

本發明涉及一種 MRAM 配置，其中一種開關電晶體 (Tr1 ; Tr2) 分別配屬於多個 TMR 記憶胞 (1~4 或 5~8)。

英文發明摘要 (發明之名稱: MRAM-arrangement )

This invention relates to a MRAM-arrangement, in which a switch-transistor (Tr1; Tr2) is arranged respectively to several TMR-memory cells (1 to 4 or 5 to 8).

(由本局填寫)	承辦人代碼:
	大 類:
	I P C 分類:

本案已向:

德 國 (地區) 申請專利, 申請日期: 案號: ☒有 ☐無主張優先權  
2000年08月23日 10041378.1 號

有關微生物已寄存於: , 寄存日期: , 寄存號碼:



## 五、發明說明(1)

本發明為磁性隨機存取記憶體配置，由許多 TMR (Tunnel-Magnetwiderstand, 穿隧電阻) 記憶胞所構成。TMR 記憶胞陣列中在 TMR 的一端上是與位元線相連且在另一端上連接至字元線。

眾所皆知 MRAM 配置是由具 TMR 效應的鐵磁記憶體所構成：軟磁層、硬磁層和穿隧電阻層所組成的記憶胞位於字元線和位元線之間，字元線及位元線互相垂直。硬磁層的磁化方向為固定的，而軟磁層的磁化方向則可調整，其方式是在一種指定之方向中注入適當之電流使流經位元線和字元線，軟磁層即可被磁化成平行或反平行於硬磁層。在平行磁化時層堆疊的電阻值小於反平行磁化時之值，這些值稱為狀態 "0" 或 "1"。

目前 MRAM 配置設計有兩種完全不同的架構。

在一種所謂 Crosspoint(點交叉)架構中各別 TMR 記憶胞直接位於形成相交的位元線和字元線所用的各導電軌之間。此架構中各別之記憶胞不需此種半導體組件(特別是電晶體)，因此在堆疊記憶胞陣列中不需其它位置即可容納此種 TMR 記憶胞，MRAM 可達到相當高的積體密度(其數量級是  $4F^2/n$ )， $n$  為記憶胞陣列之各別相堆疊之位置之數目， $F$  代表所使用之技術的最小可能之結構的面積。

在 Crosspoint 架構中，寄生電流必會通過未選取的記憶胞，因此在大記憶胞陣列中各 TMR 記憶胞需設置高電阻，使寄生電流保持很低。由於各 TMR 記憶胞的高電阻，讀取過程的速度就相對地慢。

## 五、發明說明( 2 )

在設有電晶體晶胞之其它架構中，每一 TMR 元件上另設置一個開關電晶體(參考 M. Durlam et al. 的 "Nonvolatile RAM based on Magnetic Tunnel Junction Elements")，其中含有該開關電晶體的 TMR 元件所構成之記憶胞不會有寄生電流，大記憶胞陣列中之記憶胞之 TMR 元件因此可設置低電阻。讀取的方式也較簡單，存取速度比 Crosspoint 架構中者還快。

但具有電晶體記憶胞之此種結構之缺點是尺寸大很多，至少有  $8F^2$  或更大，其中可不必進行堆疊，此乃因每一記憶胞都須有電晶體和矽表面。

所以本發明的目的為提供一磁性隨機存取記憶體配置，同時具有 Crosspoint 架構之優點和電晶體記憶胞的優點。

本發明的目的以下述方式來達成：在包含至少兩個 TMR 記憶胞之組(group)中分別與相同位元線相連之 TMR 記憶胞之其它末端是與開關電晶體相連，此開關電晶體之閘極連接至相對應之字元線。

在本發明之 MRAM 配置中已完全不用目前以電晶體記憶胞所構成之結構，每一 TMR 元件不再設有一種開關電晶體。反之，本發明之 MRAM 配置中，多個 TMR 記憶胞沿著一條位元線而組合一組，其中一開關電晶體分配給該組。

由於只有一個開關電晶體分配給多個(例如，三個)TMR 記憶胞，則可大大地減少電晶體所需的空間，因此本發明之 MRAM 配置中所用之架構可使記憶胞陣列中的封裝密

## 五、發明說明( 3 )

度大大地提高。

本發明之 MRAM 配置可使 TMR 記憶胞及其所屬之電晶體之佈局(Layout)所需之空間較小，其方式例如使一個開關電晶體配屬於三個 TMR 記憶胞。

當然也可使一個開關電晶體配屬於三個以的 TMR 記憶胞，也可以一個開關電晶體只配屬兩個 TMR 記憶胞。最後，亦可使記憶胞配屬於開關電晶體，使例外地只有一記憶胞配屬於一開關電晶體。本發明中重要的是：在具有多個記憶胞之記憶胞陣列中一些開關電晶體須配屬於各記憶胞，使一開關電晶體配屬於各別位元線之多個記憶胞。

在讀出該二個狀態時所獲得之電流若存在一種儘可能大之絕對差(difference)，則可確保儘可能快速地讀出各具有電晶體之 MRAM 記憶胞。即，此二個磁層之平行狀態及反平行狀態之間之電流差應儘可能大。爲了此一目的，則 TMR 記憶胞或 TMR 元件的電阻應約等於由開關電晶體所構成之與此電阻相串聯的總電阻和導線的電阻。TMR 記憶胞之電阻和上述總電阻所構成的串聯電阻愈小，則在讀取時所獲得的絕對讀取訊號就會愈大。

如上所說明，在本發明之 MRAM 配置中  $n$  個 TMR 記憶元件沿著一條位元線而並聯且其另一端是與一開關電晶體相連。其缺點爲，通過  $n$  個並聯的 TMR 記憶元件的訊號電流會減小  $n$  倍。但這項缺點至少一部分可藉由下述方式來補償：在佈局面積只用於三個 TMR 記憶元件之情況下，一開關電晶體可輕易地尋求其空間，因此在配置三個



## 五、發明說明( 4 )

TMR 記憶胞至一開關電晶體時可確保較低之串聯電阻。

若三個 TMR 記憶胞結合一個開關電晶體，這樣一個組的面積約為  $15 \sim 16F^2$ ，每個記憶胞之面積約為  $5 \sim 5.3F^2$ 。這個數值遠小於  $7 \sim 8F^2$  (其記憶胞由一種 TMR 元件及一電晶體所構成)。相對於每一記憶胞有一電晶體時之結構而言，TMR 記憶胞具有一開關電晶體時之佈局所需之電晶體之寬度是三倍大，因此在調整 TMR 元件的電阻時，二個狀態之間亦可達成相同絕對值之信號差。

以下運用圖式來說明本發明。

### 圖式簡單說明

第 1 圖 本發明 MRAM 配置之電路圖。

第 2a 至 2d 圖 三個記憶胞結合一個開關電晶體為一組時之佈局(layout)。

第 3a 至 3c 圖 製造本發明之 MRAM 配置時各種不同之步驟。

圖式中每個相對應之組件以相同之參考符號來表示。

第 1 圖是 MRAM 配置，其具有位元線 BL 和與之在一定距離垂直相交的字元線 WL1 和 WL2。介於位元線 BL 和字元線 WL1 之間為 TMR 記憶胞 1，2，3 和 4，位元線 BL 和字元線 WL2 之間為 TMR 記憶胞 5，6，7 和 8。這些記憶胞都是如前述由一軟磁層，一穿隧電阻層和一硬磁層所構成。

TMR 記憶胞 1~4 之與位元線 BL 相對之一端是與開關電晶體 Tr1 的汲極或源極相連，開關電晶體 5 至 8 之與位

## 五、發明說明( 5 )

元線 BL 相對之一端是與電晶體 Tr2 的汲極(Drain)或源極(Source)相連。開關電晶體 Tr1 的閘極連接至字元線 WL1，開關電晶體 Tr2 的閘極連接至字元線 WL2。開關電晶體 Tr1 和 Tr2 的汲極和源極接地。在第 1 圖之實施例中，每四個 TMR 記憶胞 1~4 或 5~8 各配置一個開關電晶體 Tr1 或 Tr2。除了四個記憶胞之外，也可兩個或三個或四個以上各配置一開關電晶體。

在讀取過程中，位元線 BL 上會施加一特定之電壓 1 至 2V，所有之字元線(除了該特定之字元線以外)的電晶體此時會關閉。假設，本實施例中此字元線 WL1 的電晶體導通，即，開關電晶體 Tr1 導通。

如果 TMR 記憶胞 2 處於低電阻狀態(兩個磁層平行地磁化)，而其他記憶胞 1、3 和 4 處於高電阻狀態(磁層反平行磁化)時，字元線 WL1 收到相對應的訊號，這訊號異於當記憶胞 1~4 都處於高電阻時字元線 WL1 上之信號。

為了確定記憶胞 1 到 4 中哪個應處於低電阻狀態，則類似於 DRAM 中的情況須使資訊寫回至各別之記憶胞中且與先前所得的訊號相比較。藉由此法可確定：TMR 記憶胞 2 處於低電阻，而記憶胞 1、3 和 4 處於高電阻。也就是說，記憶胞 2 對應至 "1"，記憶胞 1、3 和 4 含有 "0"。

第 2a 到 2d 圖是第 1 圖 MRAM 配置的佈局(layout)。

如第 2a 圖所示，在矽半導體本體之活性區 AA 中設置電晶體 Tr1 和 Tr2 的源極 S 和汲極 D 且藉由相對應之擴散區而與接觸區 K1 或 K2 相連接。Tr1 有一閘極電極 G1，

## 五、發明說明( 6 )

TR2 有一閘極電極 G2。閘極電極 G1 是與字元線 WL1 相連接，閘極電極 G2 連接至字元線 WL2。此外，第 2a 圖也顯示 Tr1 和 Tr2 的接地電極 Gr。

第 2b 圖為第 2a 圖之配置的第一金屬面(金屬 1)，其具有相對應的金屬層 9(用於接觸區 K1)，10(用於電晶體 Tr1 的汲極 D)，11(用於電晶體 Tr1 和 Tr2 的接地 Gr)，12(用於電晶體 Tr2 的汲極)，13(用於電晶體 Tr2 的接觸區 K2)。金屬層 14 和 15 配置給相鄰之組的電晶體或 TMR 記憶胞。

如第 2c 圖所示，分別帶有 TMR 記憶胞 1，2，3 或 1'，2'，3' 的條形配置 16，17 位於第 2b 圖的第一金屬面(金屬 1)上。如第 2d 圖所示，這些 TMR 記憶胞 1，2，3 或 1'，2'，3' 配屬於位元線 BL，位元線在第二金屬面(金屬 2)上方之平面中延伸。這在第 2d 圖中以下述方式表示：第二金屬面的兩條金屬條以 BL 來表示。

在第 2a 圖到第 2d 圖之實施例中每個電晶體 Tr1 和 Tr2 都各只配置三個 TMR 記憶胞，而在第 1 圖的實施例中 Tr1 和 Tr2 分別配置四個 TMR 記憶胞 1 至 4 或 5 到 8。

第 3a 至 3c 圖是製造 TMR 記憶胞(或元件)所用方法之切面圖。

在具有 CMOS 電晶體(作為開關電晶體)及第一金屬面(金屬 1，第 2b 圖)之半導體本體(未顯示)上存在二氧化矽層 18，19，其中設有導電軌 L1，L2 及 L3。導電軌 L1 和 L2 為二個 TMR 記憶胞(例如記憶胞 1 和 2)寫入用的導線。



## 五、發明說明( 7 )

L3 在接觸孔 KL(其中設有相對應之金屬層)中例如與其下方之電晶體 Tr1(其埋入矽半導體本體中)之接觸區 K1 相連。

此外如第 3b 圖所示，L3 經由金屬層 20 而與 TMR 元件 1 和 2 相連。金屬層 20 和 TMR 元件或記憶胞 1 和 2 以一般之微影術及蝕刻而製成。

最後，在塗上另一層二氧化矽層 21 和第二層金屬 22 之後即產生如第 3c 圖所示的配置。

資料會被寫入記憶胞 1 和 2 中，其方式是使訊號施加至金屬層 L1 或 L2 上及金屬層 22 上，這些訊號使記憶胞 1 和 2 的兩層磁層產生反平行或平行之磁化。

### 符號之說明

1-8	TMR 記憶胞
9-15	金屬層
16,17	金屬條
18,19	二氧化矽層
20	金屬層
21	二氧化矽層
22	金屬層
Tr1	第一電晶體
Tr2	第二電晶體
K1	第一接觸區
K2	第二接觸區
BL	位元線
Gr	接地電極



10577

## 五、發明說明( 8 )

WL1	第一字元線
WL2	第二字元線
G1	第一閘極
G2	第二閘極
S	源極
D	汲極
Metal1	第一金屬面
Metal2	第二金屬面
L1	第一導電軌
L2	第二導電軌
L3	第三導電軌
KL	接觸孔

修正  
補充  
本91年3月3日

煩請委員明示，本案修正後是否變更原實質

## 六、申請專利範圍

第 90120606 號「磁性隨機存取記憶體配置」專利案

(91 年 3 月修正)

### 六 申請專利範圍

1. 一種 MRAM 配置，其包含許多 TMR 記憶胞(1~8)，在記憶胞陣列中各記憶胞的一端是與位元線(BL)相連且另一端是與字元線(WL1, WL2)相連，其特徵為：在含有二個 TMR 記憶胞(1 至 4 或 5 至 8)之各組(group)中這些與相同位元線(BL)相連之 TMR 記憶胞(1 至 8)之另一端是與開關電晶體(Tr1, Tr2)相連，Tr1 及 Tr2 之閘極(G1, G2)連接至相對應之字元線(WL1 或 WL2)。
2. 如申請專利範圍第 1 項之 MRAM 配置，其中 TMR 記憶胞(1~8)的電阻大約等於開關電晶體(Tr1, Tr2)與屬的導線電阻所形成之總電阻。
3. 如申請專利範圍第 1 或 2 項之 MRAM 配置，其中三個 TMR 記憶胞(1 至 3；5 至 8)配置一個開關電晶體(Tr1, Tr2)。
4. 如申請專利範圍第 1 或 2 項之 MRAM 配置，其中開關電晶體(Tr1；Tr2)配置於 TMR 記憶胞(1~8)之下方。
5. 如申請專利範圍第 3 項之 MRAM 配置，其中開關電晶體(Tr1；Tr2)配置於 TMR 記憶胞(1~8)之下方。
6. 如申請專利範圍第 1 或 2 項之 MRAM 配置，其中 TMR 記憶胞(1~8)置於二金屬面(金屬 1，金屬 2)之間。
7. 如申請專利範圍第 4 項之 MRAM 配置，其中 TMR 記憶胞(1~8)置於二金屬面(金屬 1，金屬 2)之間。
8. 如申請專利範圍第 1 或 2 項之 MRAM 配置，其中相鄰的

修正

補充

本9/13日

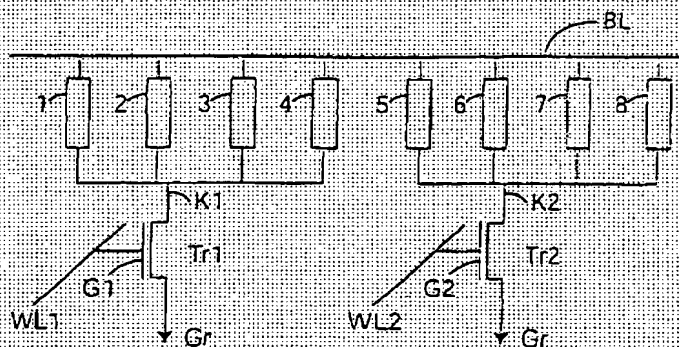
## 六、申請專利範圍

兩個電晶體(Tr1,Tr2)的接地電極(Gr)組合成一個電極。

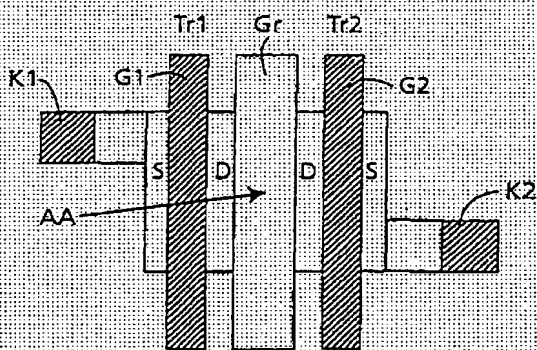
9. 如申請專利範圍第 6 項之 MRAM 配置，其中相鄰的兩個電晶體(Tr1,Tr2)的接地電極(Gr)組合成一個電極。



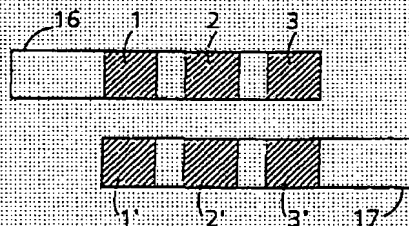
第 1 圖



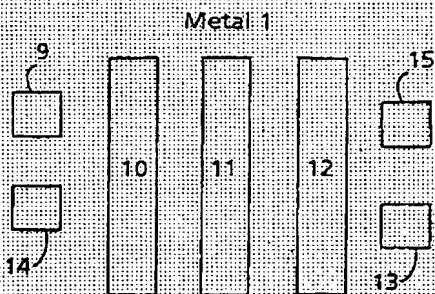
第 2a 圖



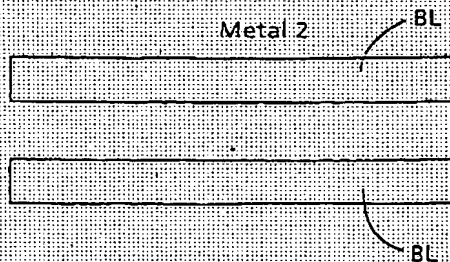
第 2c 圖



第 2b 圖



第 2d 圖

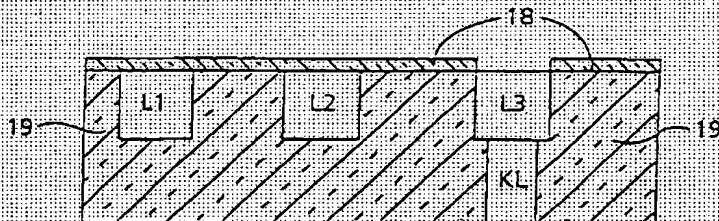




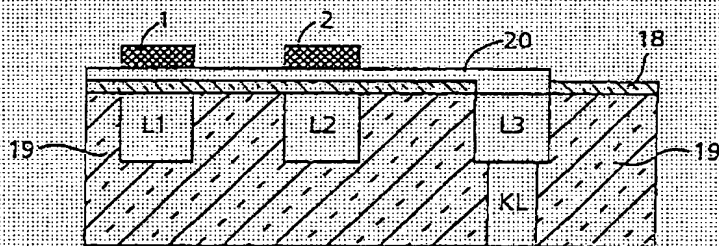
po 123606

2/2

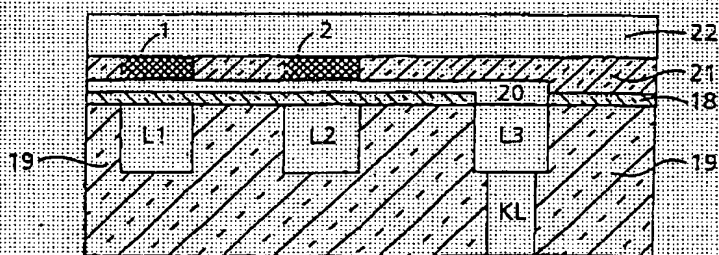
第 3a 圖



第 3b 圖



第 3c 圖



**THIS PAGE BLANK (USPTO)**